

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-249621

(43)Date of publication of application : 17.09.1999

(51)Int.Cl. G09G 3/36
G02F 1/133
G02F 1/133
G09G 3/20
H04N 5/66

(21)Application number : 10-047567

(71)Applicant : SANYO ELECTRIC CO LTD

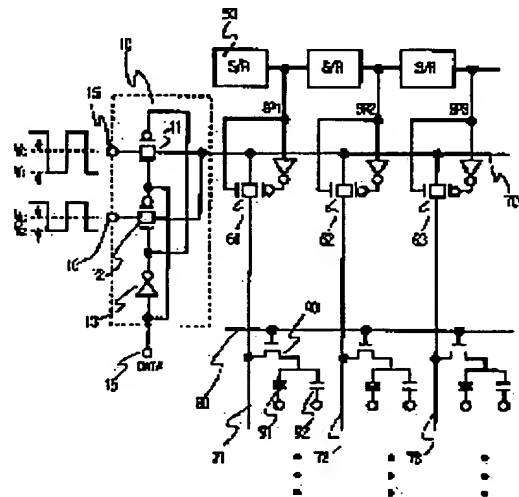
(22)Date of filing : 27.02.1998

(72)Inventor : FURUMIYA NAOAKI

(54) DRIVING CIRCUIT FOR DISPLAY DEVICE**(57)Abstract:**

PROBLEM TO BE SOLVED: To make it unnecessary to provide D/A converters and a buffer circuit externally and also to suppress complication of incorporated circuits and to enhance the yield and to reduce a manufacturing cost by reducing the circuit scale of a D/A converter or the like to be incorporated in a circuit with respect to a display device capable of inputting digital video data directly.

SOLUTION: Original signals V1, V2 making display pixels to be lightings or nonlightings and video data are supplied to a data switching circuit 10 consisting of first and second analog switches 11, 12. An original picture signal is transmitted to a video line 70 as a video signal by selecting and outputting either of original picture signals V1, V2 based on the video data DATA. Thus, since the video signal is generated by subjecting the input digital video data to a D/A conversion, it is made unnecessary to build up D/A converters every column and a total circuit scale is reduced.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-249621

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl. ⁸	識別記号	F I	
G 0 9 G 3/36		G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
	5 7 5		5 7 5
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 F
H 0 4 N 5/66		H 0 4 N 5/66	B
審査請求 未請求 請求項の数 4 O L (全 7 頁)			

(21) 出願番号 特願平10-47567

(22) 出願日 平成10年(1998) 2月27日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 古宮 直明

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

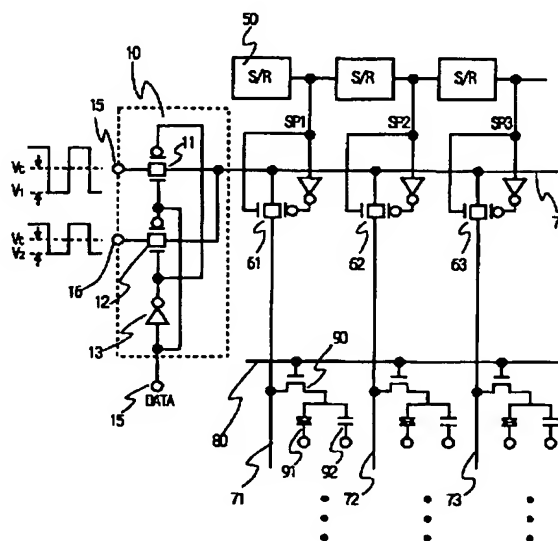
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 表示装置の駆動回路

(57) 【要約】

【課題】 デジタルドライバー内蔵の表示装置を提供する。

【解決手段】 第1及び第2のアナログスイッチ11,12からなるデータ切換回路10に、表示画素を点灯また非点灯とする原信号V1,V2及びビデオデータが供給されている。ビデオデータDATAに基づいて原画信号V1,V2のいずれかを選択して出力することにより、原画信号をビデオ信号としてビデオライン70に送出する。



【特許請求の範囲】

【請求項1】 表示画素が行列状に配列されてなり、前記表示画素を点灯または非点灯とする画素信号をビデオ信号よりサンプリングして対応する前記各表示画素に供給する表示装置の駆動回路において、前記表示画素を点灯する振幅を有する第1の原信号と、非点灯とする振幅を有する第2の原信号が供給され、入力されたデジタルビデオデータに基づいて前記第1の原信号と前記第2の原信号のいずれかを選択して切り換え出力するデータ切換回路を有し、このデータ切換回路からの出力を前記ビデオ信号として前記表示装置に送出することを特徴とする表示装置の駆動回路。

【請求項2】 前記表示画素を点灯する第1の正電圧と負電圧、及び、非点灯とする第2の正電圧と負電圧が供給され、所定期間毎に、前記第1及び第2の正電圧と前記第1及び第2の負電圧を切り換えることにより、前記第1の原信号及び第2の原信号を出力する原信号発生回路を有することを特徴とする請求項1記載の表示装置の駆動回路。

【請求項3】 表示画素が行列状に配列されてなり、前記表示画素を点灯または非点灯とする画素信号をビデオ信号よりサンプリングして対応する前記各表示画素に供給する表示装置の駆動回路において、互いに振幅の異なる2の n 乗個の原信号が供給され、入力された n ビットのデジタルビデオデータに基づいて前記2の n 乗個の原信号よりいずれか一つを選択して切り換え出力するデータ切換回路を有し、このデータ切換回路からの出力を前記ビデオ信号として前記表示装置に送出することを特徴とする表示装置の駆動回路。

【請求項4】 前記デジタルビデオデータを表示画素毎に m 系列に分割し、かつ、その周波数を $1/m$ 倍に伸長する分割伸長回路と、この分割伸長された m 系列の各デジタルビデオデータを各々入力して前記ビデオ信号を出力する m 個の前記データ切換回路とを有することを特徴とする請求項1から請求項3のいずれかに記載の表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置の駆動回路に関する。

【0002】

【従来の技術】液晶表示装置（LCD）、有機エレクトロミネッセンス（EL）ディスプレイ、プラズマディスプレイ等、フラットパネルディスプレイの開発が盛んに行われている。中でも、LCDは薄型、低消費電力の点で優れており、AV機器、OA機器の分野におけるモニターディスプレイの主流となっている。

【0003】LCDは一対の対向基板間に液晶を封入してなる。各基板の対向内面には、液晶に電界を付与して駆動するための電極が多数が形成されており、液晶を

誘電層にしたコンデンサとして表示画素が構成されている。表示画素がマトリクス（行列）状に配列されたマトリクス型LCDとして、対向基板間に互いに交差するように配置された帯状電極の対向部にて表示画素を構成した単純マトリクスや、表示画素毎に独立したコンデンサを形成し、各々にスイッチング素子である薄膜電界効果型トランジスタ（TFT）を接続形成してなるアクティブマトリクスがある。単純マトリクス型は、比較的簡易な構造で、低コストの利点があり、グラフィック表示に適しており、パーソナルコンピュータ等のディスプレイに多く採用されている。アクティブマトリクス型は、コストは高いが高画質の動画表示を行えるため、現在では、CRT方式と並び、ディスプレイの主流となっている。

【0004】アクティブマトリクス型LCDにおいて、TFTとして、それまで能動層に用いられた非晶質半導体、特に、アモルファスシリコン（a-Si）に換わり、多結晶半導体、特に、ポリシリコン（p-Si）を用いることでスイッチング動作速度が上昇し、これに伴い、TFTの小型による有効表示領域の拡大、あるいは、表示素子の小型化による高精細化等が達成され、極めて高い画質を得るに至っている。更に、表示素子を駆動するためのドライバー回路は、表示素子よりも高速動作が要求されるが、p-SiTFTによりCMOSを形成することが可能となり、ドライバー回路を同一基板上に一体的に作り込むことができる。このような、ドライバー内蔵型LCDは、別途ドライバーICを製造し、これを取り付ける手間が省けるため、製造コストが低く、また、表示画面周辺の額縁部を小さくすることができるなどの利点があり、量産化が望まれている。

【0005】図5に、従来のドライバー内蔵型LCDの構成を示す。図の上段はドレインドライバー部であり、水平シフトレジスタ（250）、ビデオライン（271、272）及びサンプリングスイッチ（261、262、…）よりなる。図の中段はD/Aコンバータ部であり、電荷供給用キャパシタ（202、206）、アナログスイッチ（203、207）及び電荷保持キャパシタ（210）からなる。また、図の下段は表示画素部であり、ゲートライン（80…）とドレインライン（71、72、…）とが交差配置され、各交差部には、TFT（90）とこれに接続された液晶容量（91）と補助容量（92）が形成されている。なお、ここでは、簡単のため2ビット4階調の例を示しており、ビデオライン（271、272）は、各ビットが割り当てられる2本となっている。

【0006】この構成で、水平シフトレジスタ（250）がスタートされると同時に、各ビデオライン（271、272）にデジタルビデオデータDATA1、DATA2が供給される。まず、1列目において、水平シフトレジスタ（250）の出力段S/Rから出力されたサンプリングバ

ルスSP1により2つのサンプリングスイッチ(261)がオンされる。このとき、ビデオライン(271, 272)には、点灯すべき画素に対応してビデオデータDATA1,2が供給されており、このデータがハイであるかロウであるかにより、2つのアナログスイッチ(203, 207)がオンされるかオフされる。一方、電荷供給用キャパシタ(202, 206)はビットに応じて容量値が変えられており(C1, C2)、この結果、これら電荷供給用キャパシタ(202, 206)に保持された異なる量の電荷が、オンされたアナログスイッチ(203, 207)を介して伝送され、電荷保持キャパシタ(210)が充電される。電荷保持キャパシタ(210)に充電されて得られた電圧は、アナログの画素信号として、ドレインライン(71)に送出される。続く、2列目も、水平シフトレジスタ(250)の出力段S/RよりサンプリングパルスSP2が出力され、1列目と同様に、電荷保持キャパシタ(210)に電荷が充電されて、画素信号がドレインライン(72)に送出される。

【0007】なお、電荷供給用キャパシタ(202, 206)に接続された第1の電源線(221)及び第2の電源線(222)には、各々、交互に置換する電圧V_o及び電圧V_cが与えられており、第2の電荷保持キャパシタ(210)へ充電する電荷の極性を変えることで、画素信号の極性を反転することができるようになっている。

【0008】以上のように、図5に示したLCDでは、デジタル信号として入力されたビデオデータDATA1,2が、LCDに内蔵されたD/Aコンバータによりアナログの画素信号に変換されて各表示画素へ供給され、表示が行われる。従って、デジタルで発信された信号や、デジタルにて信号処理を行った信号を直接にLCDに供給することができるので、D/Aコンバータが不要となり、外付け部分の回路規模が縮小される。このため、デジタルスチルカメラ等、携帯用デジタル製品に最適なディスプレイが得られる。

【0009】

【発明が解決しようとする課題】しかしながら、図5に示すLCDでは、一列毎に、D/Aコンバータが内蔵されており、LCD基板上に形成する回路規模が大きい。これらの回路は、表示画素部のTFT(90)と同じp-SiTFTにより形成されるが、TFT素子が飛躍的に多くなり、これらTFT素子の一つでも不良となると、表示装置全体が不良となってしまう。このため、歩留まりの低下や、製造コストの増大が問題となっていた。更に、ビット数が多くなると、各列のD/Aコンバータの回路規模がより大きくなるので上述の問題は更に顕著となる。

【0010】

【課題を解決するための手段】本発明は前述の課題に鑑みて成され、表示画素が行列状に配列されてなり、前記

表示画素を点灯または非点灯とする画素信号をビデオ信号よりサンプリングして対応する前記各表示画素に供給する表示装置の駆動回路において、前記表示画素を点灯する振幅を有する第1の原信号と、非点灯とする振幅を有する第2の原信号が供給され、入力されたデジタルビデオデータに基づいて前記第1の原信号と前記第2の原信号のいずれかを選択して切り換え出力するデータ切換回路を有し、このデータ切換回路からの出力を前記ビデオ信号として前記表示装置に送出する構成である。

【0011】このように、入力デジタルビデオデータをD/A変換してビデオ信号を生成しているため、各列毎にD/A変換器を作り込む必要が無く、全体の回路規模が縮小される。特に、前記表示画素を点灯する第1の正電圧と負電圧、及び、非点灯とする第2の正電圧と負電圧が供給され、所定期間毎に、前記第1及び第2の正電圧、または、前記第1及び第2の負電圧を選択して切り換えることにより、前記第1の原信号及び第2の原信号を出力する原信号発生回路を有する構成である。

【0012】これにより、簡易な回路構成で画素信号のビデオ信号の極性反転が可能となるとともに、原信号を作成する必要も無くなり、外部の回路規模が縮小される。また、表示画素が行列状に配列されてなり、前記表示画素を点灯または非点灯とする画素信号をビデオ信号よりサンプリングして対応する前記各表示画素に供給する表示装置の駆動回路において、前記表示画素を点灯または非点灯とする2のn乗個の原信号が供給され、入力されたnビットのデジタルビデオデータに基づいて前記2のn乗個の原信号よりいずれか一つを選択して切り換え出力するデータ切換回路を有し、このデータ切換回路からの出力を前記ビデオ信号として前記表示装置に送出する構成である。

【0013】このように、入力デジタルビデオデータをD/A変換してビデオ信号を生成しているため、各列毎にD/A変換器を作り込む必要が無く、全体の回路規模が縮小される。特に、m個の前記データ切換回路、及び、前記デジタルビデオデータを表示画素毎にm系列に分割し、かつ、その周波数を1/m倍に伸長する分割伸長回路を有し、この分割伸長されたm個の各デジタルビデオデータに基づいて、前記表示画素にm列毎に対応するm系列のビデオ信号を前記表示装置に供給する構成である。

【0014】これにより、データ切換回路に要求される動作速度が低下し、表示画素部とともに、駆動回路部を同一基板上に一体的に形成した表示装置において、高精細化が実現される。

【0015】

【発明の実施の形態】図1は、本発明の第1の実施の形態にかかる表示装置の駆動回路の構成図である。図の右側上部は、ドレインドライバー部であり、水平シフトレジスタ(50)、サンプリングスイッチ(61, 62、

10

20

30

40

50

63, ...) 及びビデオデータライン(70)よりなる。図の右下側下部は、表示画素部であり、ゲートライン(80...)とドレインライン(71, 72, 73, ...)とが交差配置され、各交差部には、TFT(90)とこれに接続された液晶容量(91)と補助容量(92)が形成されている。(10)は本発明のデータ切換回路であり、第1及び第2のアナログスイッチ(11, 12)とインバータ(13)からなる。

【0016】データ切換回路(10)の2つの供給端子(15, 16)には、ビデオデータ信号となる第1の原信号V1及び第2の原信号V2が供給されている。但し、第1の原信号V1の振幅は表示画素を点灯する閾値以上であり、第2の原信号V2の振幅は表示画素を点灯する閾値以下である。供給端子(15, 16)に供給されたこれら第1及び第2の原信号V1, V2は、第1及び第2のアナログスイッチ(11, 12)に供給される。一方、データ切換回路(10)のデータ入力端(15)には、1ビットのデジタル信号であるビデオデータDATAが入力される。このビデオデータDATA及び反転ビデオデータは、各々、第1及び第2のアナログスイッチ(11, 12)のオン・オフを制御する。つまり、ある画素期間において、ビデオデータDATAがハイレベルの場合、第1のアナログスイッチ(11)がオンし、第1の原信号V1がビデオライン(70)に送出され、続く、画素期間において、ビデオデータDATAがロウレベルとなると、第2のアナログスイッチ(12)がオンし、第2の原信号V2がビデオライン(70)に送出される。このように、点灯すべき画素に対応するタイミングで第1の原信号V1が送出され、非点灯とすべき画素に対応するタイミングで第2の原信号V2が送出されることで、ビデオ信号がビデオライン(70)に供給される。更に、このビデオ信号は、水平シフトレジスタ(50)より出力されたサンプリングパルスSP1, 2, 3, ...により制御されて、順次にオンされたサンプリングスイッチ(61, 62, 63, ...)によりサンプリングされる。このようにサンプリングされた画素信号は、各ドレインライン(70)より、選択された行毎にオンされたTFT(90)を介して各表示画素の液晶容量(91)に印加される。この画素信号が第1の原信号V1であるときはその画素は点灯され、第2の原信号であるときはその画素は非点灯とされる。

【0017】なお、データ切換回路(10)は、水平シフトレジスタ(50)、サンプリングスイッチ(61, 62, 63, ...)と同様、表示画素部のTFT(90)と同じp-SiTFTにより同一基板上に形成されている。本実施の形態では、表示画素は、点灯かまたは非点灯の2階調表示であるが、アクティブマトリクス方式により、デューティ比100%の駆動を行うことができるので、単純マトリクス方式よりも、高い画質が得られる。

【0018】このように本発明では、デジタル信号で送られてきたビデオデータ信号を、直接に入力することができる。しかも、各列毎にD/Aコンバータを設ける必要がないので、LCDに内蔵される回路規模が縮小される。更に、D/A変換器や出力バッファを搭載する代わりに、外部で原信号V1, V2を発生するのみでよく、消費電力が大幅に低減される。

【0019】図2は、本発明の第2の実施の形態にかかる表示装置の駆動回路の構成図である。本実施の形態では、データ切換回路(10)に原信号を供給するための原信号発生回路(30)が設けられている。原信号発生回路(30)は、第1から第4のトランジスタ(31, 32, 33, 34)からなる。原信号発生回路(30)の第1から第4の供給端子(35, 36, 37, 38)には、各々、ハイレベルの正の原電圧 V_{C+VH} 、ロウレベルの正の原電圧 V_{C+VL} 、ロウレベルの負の原電圧 V_{C-VL} 、ハイレベルの負の原電圧 V_{C-VH} が供給されている。また、原信号発生回路(30)の入力端子(39)には極性反転信号例えば水平クロックパルスHCKが入力されている。

【0020】この構成で、水平クロックパルスHCKの極性が正の期間は、第1及び第2のトランジスタ(31, 32)がオンする。従って、ハイレベルの正の原電圧 V_{C+VH} が第1のトランジスタ(31)を介して、正極性の第1の原信号V1として、データ切換回路(10)の第1のアナログスイッチ(11)へ供給される。また、ロウレベルの正の原電圧 V_{C+VL} が第2のトランジスタ(32)を介して、正極性の第2の原信号V2として、データ切換回路(10)の第2のアナログスイッチ(12)へ供給される。水平クロックパルスHCKの極性が負の期間は、第3及び第4のトランジスタ(33, 34)がオンする。従って、ハイレベルの負の原電圧 V_{C-VH} が第4のトランジスタ(34)を介して、負極性の第1の原信号V1として、データ切換回路(10)の第1のアナログスイッチ(11)へ供給される。また、ロウレベルの負の原電圧 V_{C-VL} が第3のトランジスタ(33)を介して、負極性の第2の原信号V2として、データ切換回路(10)の第2のアナログスイッチ(12)へ供給される。

【0021】このように、データ切換回路(30)より発生される原信号V1, V2は、水平クロックパルスHCKの極性の反転に従って水平期間毎に極性が反転するので、行毎に表示画素へ印加する画素信号の極性が異なるライン反転駆動が実現される。但し、本発明では、これに限定されることはなく、原信号発生回路(30)の入力端子(39)に供給する信号は、垂直クロックパルスでもよく、また、ドットクロックパルスでもよい。これにより、フィールド毎、フレーム毎、あるいは、ドット毎に表示画素へ供給される画素信号の極性が異なるフィールド反転駆動、フレーム反転駆動、あるいは、ドット

反転駆動が実現される。

【0022】なお、原信号発生回路(30)は、データ切換回路(10)等と同様に、同一基板上に形成されたp-Si TFTにより形成することができる。この構成では、外部で原信号V1、V2を発生させる必要が無く、外部で、原電圧VC、VH、VLを発生させるのみでよく、外付けの回路規模が更に縮小される。

【0023】図3は、本発明の第3の実施の形態にかかる表示装置の駆動回路の構成である。本実施の形態では、第1のデータ切換回路(10)、原信号発生回路(30)の他に第2のデータ切換回路(20)及び分割伸長回路(40)を有している。また、LCD部のドレインドライバは、2本のビデオライン(701、702)を有し、各ドレインライン(71、72、73、…)は、交互に、サンプリングスイッチ(61、62、63、…)を介してこれらビデオライン(701、702)に接続されている。第2のデータ切換回路(20)は、第1及び第2のアナログスイッチ(21、22)とインバータ(23)よりなる。分割伸長回路(40)は、第1及び第2のクロックドインバータ(41、42)よりなる。

【0024】ビデオデータは、分割伸長回路(40)の入力端子(43)に供給され、第1及び第2のクロックドインバータ(41、42)に入力される。第1及び第2のクロックドインバータ(41、42)は、ドットクロックと同じ周波数で、かつ、互いに逆位相第1のクロックCK1と第2のクロックCK2、及び、これらの反転クロックにより制御され、ビデオデータが画素毎に交互にラッチされ、この結果、元の1/2倍の周波数を有した2系列のビデオデータに分割伸長される。これら第1及び第2のクロックドインバータ(41、42)より出力されたデータは、各々、第1及び第2のデータ切換回路(10、20)に供給される。第1及び第2のデータ切換回路(10、20)内では、図1に示す第1の実施の形態で詳細に説明したように、ビデオデータに基づいて、各極性の期間において、第1及び第2の原信号V1、V2を選択して切り換え出力する。本実施の形態では、ビデオデータの周波数が1/2倍にされているので、各データ切換回路(10、20)の動作速度が1/2となる。これらデータ切換回路(10、20)からの出力は、ビデオ信号として各ビデオライン(701、702)へ送出される。

【0025】本実施の形態では、第1及び第2のデータ切換回路(10、20)の動作速度は、第1及び第2の実施の形態に比べて半分となる。このため、比較的動作速度の遅いp-Si TFTを用いたデータ切換回路(10、20)でも十分対応することができる。また、ビデオデータの周波数を上げることができるので、高精細化も可能となる。

【0026】図4は、本発明の第4の実施の形態にかか

る表示装置の駆動回路の構成図である。(100)は、デジタルビデオデータDATA1,2に基づいてビデオ信号を送出するデータ切換回路である。データ切換回路(100)は、下位ビットに基づいて選択切り換えを行う第1から第4のアナログスイッチ(101、102、103、104)とインバータ(105、106)、及び、上位ビットに基づいて選択切り換えを行う第5から第6のアナログスイッチ(111、112)とインバータ(115、116)よりなる。データ切換回路(100)の供給端子(121、122、123、124)には、各々、第1から第4の原信号V1、V2、V3、V4が供給されている。原信号V1、V2、V3、V4の振幅は、この順に小さくなる。また、第1のデータ入力端子(125)には、2ビットのビデオデータの1ビット目DATA1が入力され、第2のデータ入力端子(126)には、2ビットのビデオデータの2ビット目DATA2が入力される。

【0027】この構成で、1ビット目がハイレベルの時、第1及び第3のアナログスイッチ(101、103)がオンされ、それぞれ、第1の原信号V1及び第3の原信号V3を、第5及び第6のアナログスイッチ(111、112)に供給する。1ビット目がロウレベルの時、第2及び第4のアナログスイッチ(102、104)がオンされ、それぞれ、第2及び第4の原信号V2、V4を、第5及び第6のアナログスイッチ(111、112)に供給する。2ビット目がハイレベルの時は、第5のアナログスイッチ(111)がオンされ、1ビット目の状態によって、第1の原信号V1または第2の原信号V2が選択され、出力される。2ビット目がロウレベルの時は、第6のアナログスイッチ(112)がオンされ、1ビット目の状態によって、第3の原信号V3または第4の原信号V4が選択され、出力される。このように2ビットのビデオデータDATA1,2により切り換え出力された信号は、ビデオ信号として、ビデオライン(70)に送出される。本実施の形態では、2ビットのビデオデータDATA1,2による4階調の表示が可能となる。但し、本発明は、これに限定されることはなく、ビット数を増やすことで、更なる多階調化が可能となる。本発明では、入力されたデジタルビデオデータをアナログ信号に変換するため、D/Aコンバータの回路規模が縮小されるので、その分、多ビット化が実現される。

【0028】

【発明の効果】以上の説明より明らかな如く、デジタルのビデオデータを直接に入力することができる表示装置において、内蔵されるD/A変換器等の回路規模を縮小することができた。このため、D/A変換器や、バッファ回路の外付けが不要となるとともに、内蔵回路の複雑化が抑えられ、歩留まりの向上、製造コストの削減が達成された。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる表示装置の駆動回路の構成図である。

【図2】本発明の第2の実施の形態にかかる表示装置の駆動回路の構成図である。

【図3】本発明の第3の実施の形態にかかる表示装置の駆動回路の構成図である。

【図4】本発明の第4の実施の形態にかかる表示装置の駆動回路の構成図である。

【図5】従来の表示装置の駆動回路の構成図である。 *

*【符号の説明】

10, 20, 100 データ切換回路

30 原信号発生回路

40 分割伸長回路

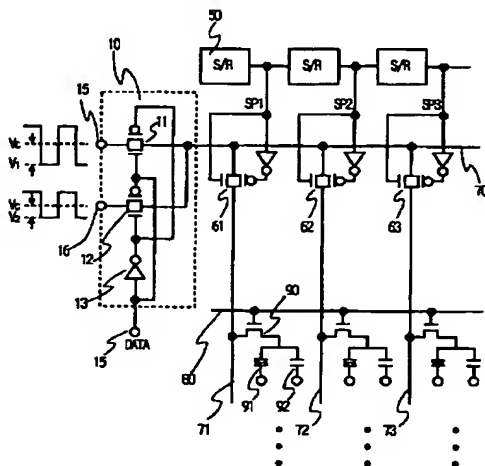
50 水平シフトレジスタ

61, 62, 63, ... サンプリングスイッチ

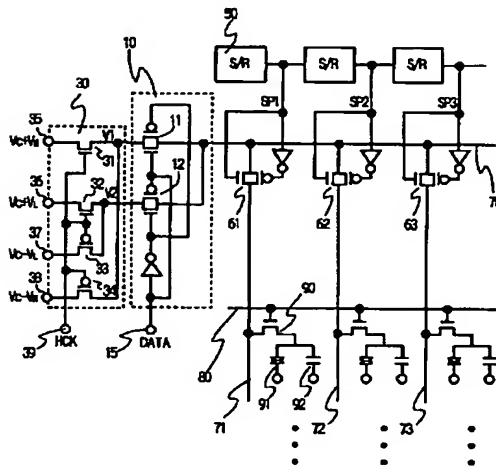
70, 701, 702 ビデオライン

71, 72, 73, ... ドレインライン

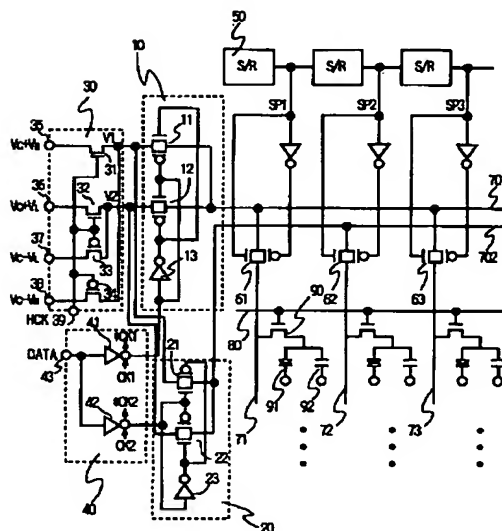
【図1】



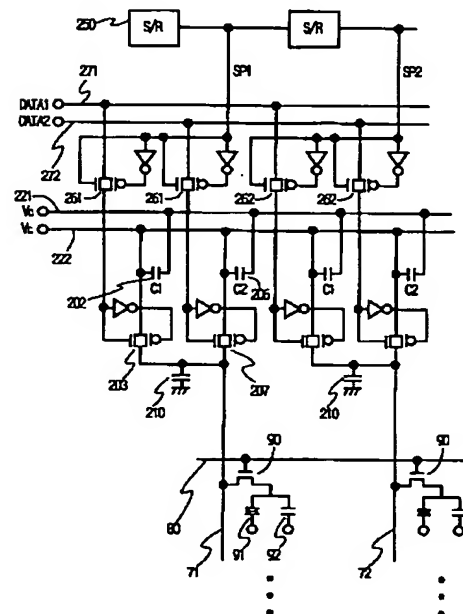
【図2】



【図3】



【図5】



【図4】

